

R E P U B L I Q U E F R A N C A I S E



PCT/FR 03 / 00311

REC'D 14 APR 2003

WIPO PCT

# BREVET D'INVENTION

CERTIFICAT D'UTILITÉ - CERTIFICAT D'ADDITION

## COPIE OFFICIELLE

Le Directeur général de l'Institut national de la propriété industrielle certifie que le document ci-annexé est la copie certifiée conforme d'une demande de titre de propriété industrielle déposée à l'Institut.

Fait à Paris, le 04 FEV. 2003

Pour le Directeur général de l'Institut  
national de la propriété industrielle  
Le Chef du Département des brevets

DOCUMENT DE PRIORITÉ

PRÉSENTÉ OU TRANSMIS  
CONFORMÉMENT À LA  
RÈGLE 17.1.a) OU b)

Martine PLANCHE

INSTITUT  
NATIONAL DE  
LA PROPRIÉTÉ  
INDUSTRIELLE

SIEGE  
26 bis, rue de Saint Petersburg  
75800 PARIS cedex 08  
Téléphone : 33 (0)1 53 04 53 04  
Télécopie : 33 (0)1 53 04 45 23  
www.inpi.fr

1er dépôt



26 bis, rue de Saint Pétersbourg  
75800 Paris Cedex 08  
Téléphone : 01 53 04 53 04 Télécopie : 01 42 94 86 54

# BREVET D'INVENTION CERTIFICAT D'UTILITÉ

Code de la propriété intellectuelle - Livre VI



N° 11354\*01

## REQUÊTE EN DÉLIVRANCE 1/2

Cet imprimé est à remplir lisiblement à l'encre noire

08 540 W / 190600

<b>REMISE DES PIÈCES</b> DATE <b>25 JUL 2002</b> LIEU <b>75 INPI PARIS</b> N° D'ENREGISTREMENT <b>0203454</b> NATIONAL ATTRIBUÉ PAR L'INPI DATE DE DÉPÔT ATTRIBUÉE <b>25 JUL 2002</b> PAR L'INPI		<b>Reservé à l'INPI</b> <input checked="" type="checkbox"/> <b>NOM ET ADRESSE DU DEMANDEUR OU DU MANDATAIRE À QUI LA CORRESPONDANCE DOIT ÊTRE ADRESSÉE</b>  BUREAU D.A. CASALONGA-JOSSE 8 AVENUE PERCIER 75008 PARIS	
<b>Vos références pour ce dossier (facultatif)</b> <b>B 02/1763 FR-FZ</b>			
<b>Confirmation d'un dépôt par télécopie</b> <input type="checkbox"/> N° attribué par l'INPI à la télécopie			
<b>2 NATURE DE LA DEMANDE</b>		<b>Cochez l'une des 4 cases suivantes</b>	
Demande de brevet		<input checked="" type="checkbox"/>	
Demande de certificat d'utilité		<input type="checkbox"/>	
Demande divisionnaire		<input type="checkbox"/>	
<i>Demande de brevet initiale</i> <i>ou demande de certificat d'utilité initiale</i>		N°	Date <input type="text"/>
		N°	Date <input type="text"/>
Transformation d'une demande de brevet européen <i>Demande de brevet initiale</i>		<input type="checkbox"/>	Date <input type="text"/>
		N°	Date <input type="text"/>
<b>3 TITRE DE L'INVENTION (200 caractères ou espaces maximum)</b>  Dispositif semiconducteur de mémoire, non volatile, programmable et effaçable électriquement, à une seule couche de matériau de grille, et plan mémoire correspondant.			
<b>4 DÉCLARATION DE PRIORITÉ OU REQUÊTE DU BÉNÉFICE DE LA DATE DE DÉPÔT D'UNE DEMANDE ANTÉRIEURE FRANÇAISE</b>		Pays ou organisation <b>FR</b> Date <b>15 / 04 / 2002</b> N° <b>02 04690</b> Pays ou organisation Date <input type="text"/> N° Pays ou organisation Date <input type="text"/> N° <input type="checkbox"/> S'il y a d'autres priorités, cochez la case et utilisez l'imprimé «Suite»	
<b>5 DEMANDEUR</b>		<input type="checkbox"/> S'il y a d'autres demandeurs, cochez la case et utilisez l'imprimé «Suite»	
Nom ou dénomination sociale		STMicroelectronics SA	
Prénoms			
Forme juridique		Société Anonyme	
N° SIREN		<input type="text"/>	
Code APE-NAF		<input type="text"/>	
Adresse	Rue	29 boulevard Romain Rolland	
	Code postal et ville	92120	Montrouge
Pays		France	
Nationalité		Française	
N° de téléphone (facultatif)			
N° de télécopie (facultatif)			
Adresse électronique (facultatif)			

Remplir impérativement la 2<sup>ème</sup> page

1er dépôt

BREVET D'INVENTION  
CERTIFICAT D'UTILITÉ

REQUÊTE EN DÉLIVRANCE 2/2



REMISE DES PIÈCES		Réservé à l'INPI	
DATE	25 JUIL 2002		
LIEU	75 INPI PARIS		
N° D'ENREGISTREMENT	0209454		
NATIONAL ATTRIBUÉ PAR L'INPI			
Vos références pour ce dossier : (facultatif)		B 02/1763 FR-FZ	
<input checked="" type="checkbox"/> MANDATAIRE			
Nom			
Prénom			
Cabinet ou Société			
BUREAU D.A. CASALONGA-JOSSE			
N° de pouvoir permanent et/ou de lien contractuel			
Adresse	Rue	8 avenue Percier	
	Code postal et ville	75008	PARIS
N° de téléphone (facultatif)			
N° de télécopie (facultatif)			
Adresse électronique (facultatif)			
<input checked="" type="checkbox"/> INVENTEUR (S)			
Les inventeurs sont les demandeurs		<input type="checkbox"/> Oui <input checked="" type="checkbox"/> Non Dans ce cas fournir une désignation d'inventeur(s) séparée	
<input checked="" type="checkbox"/> RAPPORT DE RECHERCHE		Uniquement pour une demande de brevet (y compris division et transformation)	
Établissement immédiat ou établissement différé		<input checked="" type="checkbox"/> <input type="checkbox"/>	
Paiement échelonné de la redevance		Paiement en deux versements, uniquement pour les personnes physiques <input type="checkbox"/> Oui <input type="checkbox"/> Non	
<input checked="" type="checkbox"/> RÉDUCTION DU TAUX DES REDEVANCES		Uniquement pour les personnes physiques <input type="checkbox"/> Requête pour la première fois pour cette invention (joindre un avis de non-imposition) <input type="checkbox"/> Requête antérieurement à ce dépôt (joindre une copie de la décision d'admission pour cette invention ou indiquer sa référence):	
Si vous avez utilisé l'imprimé «Suite», indiquez le nombre de pages jointes			
<input checked="" type="checkbox"/> SIGNATURE DU DEMANDEUR OU DU MANDATAIRE (Nom et qualité du signataire)		VISA DE LA PRÉFECTURE OU DE L'INPI  A. CASALONGA (bm 92-10441) Conseil en Propriété Industrielle	

La loi n°78-17 du 6 janvier 1978 relative à l'informatique, aux fichiers et aux libertés s'applique aux réponses faites à ce formulaire. Elle garantit un droit d'accès et de rectification pour les données vous concernant auprès de l'INPI.

**Dispositif semiconducteur de mémoire, non volatile, programmable et effaçable électriquement, à une seule couche de matériau de grille et plan mémoire correspondant.**

5 L'invention concerne les circuits intégrés, et plus particulièrement les dispositifs semiconducteurs de mémoire du type non volatiles, programmables et effaçables électriquement à une seule couche de matériau de grille.

10 La structure d'un tel point mémoire est bien connue de l'homme du métier. Le brevet américain n° 5 761 121 en donne un exemple pour une structure PMOS. Plus précisément, une telle cellule comporte un transistor à grille flottante et une grille de commande qui est réalisée par implantation au sein d'un substrat semiconducteur. Cette couche enterrée, qui fait office de grille de commande, est  
15 couplée de façon capacitive à la grille flottante. La grille de commande et le transistor à grille flottante sont électriquement isolés par une zone d'isolation, par exemple du type à tranchées peu profondes (STI : « Shallow Trench Isolation »).

20 La couche de matériau de grille, en général du polysilicium, au sein de laquelle est réalisée la grille flottante du transistor, est isolée de la zone active par un diélectrique, par exemple du dioxyde de silicium.

Alors que la programmation d'une telle cellule-mémoire s'effectue par injection d'électrons chauds dans la grille flottante du transistor (CHE : « Channel Hot Electrons » en langue anglaise),  
25 l'effacement électrique d'une telle cellule-mémoire s'effectue par application d'une tension élevée sur la source, le drain et le substrat du transistor et par application d'une tension beaucoup plus faible sur la grille de commande, ce qui provoque un fort champ électrique  
30 inversé et donc une évacuation des électrons stockés dans la grille flottante vers les régions de source, de drain et de canal du transistor, et ce en traversant l'oxyde de grille du transistor.

Or, ce processus d'effacement, lorsqu'il est répété de façon cyclique, comme c'est généralement le cas pour des applications

mémoire, provoque une dégradation de l'oxyde de grille du transistor ainsi qu'une dégradation de la tension de seuil de ce transistor.

5 En d'autres termes, les évacuations répétées des électrons à travers l'oxyde de grille du transistor provoquent à terme un vieillissement de celui-ci.

L'invention vise à apporter une solution à ce problème.

L'invention a pour but de proposer une structure de cellule-mémoire évitant le phénomène de vieillissement du transistor lors des cycles répétés d'effacement.

10 L'invention a également pour but de permettre une programmation de la cellule, soit par une programmation du type « porteurs chauds », soit par une programmation du type « Fowler-Nordheim ».

15 L'invention a également pour but de fournir une telle mémoire dont le procédé de fabrication soit totalement compatible avec un procédé classique de fabrication CMOS.

20 L'invention propose donc un dispositif semiconducteur de mémoire, comprenant une cellule-mémoire non volatile, programmable et effaçable électriquement, à une seule couche de matériau de grille, et comportant un transistor à grille flottante et une grille de commande.

25 Selon une caractéristique générale de l'invention, les régions de source, de drain et de canal du transistor à grille flottante forment la grille de commande. Par ailleurs, la cellule-mémoire comporte une zone diélectrique disposée entre une première partie de la couche de matériau de grille et une première zone active semiconductrice électriquement isolée d'une deuxième zone active incorporant la grille de commande. Cette zone diélectrique forme alors une zone « tunnel » pour, lors d'un effacement de la cellule, permettre le transfert vers  
30 ladite première zone active des charges stockées dans la grille flottante.

La région de canal s'entend ici comme étant la région semiconductrice s'étendant entre la région de source et la région de drain sous la grille du transistor.

La structure de la cellule-mémoire, selon l'invention, est par conséquent totalement différente des structures classiques en ce sens qu'elle ne comporte pas de grille de commande distincte du transistor à grille flottante. En effet, selon l'invention, c'est une partie du

5 transistor à grille flottante, et plus particulièrement les régions de source, de drain et de canal de ce transistor, qui forment la grille de commande.

Par ailleurs, l'évacuation des charges lors d'un effacement de la cellule s'effectue à travers, non plus l'oxyde de grille du transistor à grille flottante, mais à travers un oxyde de grille (matériau diélectrique) qui est situé en regard d'une zone active électriquement isolée de la zone active incorporant la grille de commande, et par

10 conséquent les régions de source, de canal et de drain du transistor à grille flottante. En conséquence, la dégradation de l'oxyde de la zone tunnel selon l'invention, ne provoque pas le vieillissement du

15 transistor de la cellule.

Le fait que les régions de source, drain et canal du transistor forment la grille de commande et que la zone tunnel située en regard de ladite première zone active constitue la zone de transfert de

20 charges, est lié au fait que le couplage capacitif entre la deuxième zone active (celle dans laquelle sont réalisées les régions de source, de drain et de canal du transistor) et la grille flottante, est plus important que le couplage capacitif au niveau de la zone tunnel. Les différents couplages capacitifs dépendent des surfaces de matériau de grille en

25 regard des zones actives ainsi que des différentes tensions appliquées sur les différentes électrodes de la cellule-mémoire. L'homme du métier saura ajuster ces différents paramètres pour obtenir l'effet recherché.

Cependant, pour obtenir les avantages de la cellule-mémoire

30 selon l'invention, tout en appliquant des tensions raisonnables sur les électrodes de la cellule-mémoire, c'est-à-dire des tensions de l'ordre de quelques volts à la dizaine de volts, on choisira avantageusement une valeur capacitive de la zone tunnel inférieure ou égale à 30% de la

valeur capacitive totale entre la couche de matériau de grille et l'ensemble des zones actives de la cellule-mémoire.

Selon un mode de réalisation de l'invention, le transistor a une grille annulaire et la couche de matériau de grille comporte, outre la grille annulaire et ladite première partie, une partie de liaison entre  
5 cette première partie et la grille annulaire.

Plusieurs possibilités existent pour l'isolement électrique entre la première zone active (celle dans laquelle vont être évacuées les charges lors de l'effacement) et la deuxième zone active (celle dans  
10 laquelle est réalisé le transistor).

Selon un premier mode de réalisation, la première zone active et la deuxième zone active peuvent être électriquement isolées l'une par rapport à l'autre en profondeur par des jonctions PN destinées à être polarisées en inverse, et en surface par une région d'isolation, par  
15 exemple une région d'isolation du type tranchées peu profondes.

Dans ce cas, et selon un exemple de réalisation, la première zone active est réalisée dans une première région de substrat (par exemple un caisson) ayant un premier type de conductivité, par exemple le type de conductivité N. La deuxième zone active est  
20 réalisée dans une deuxième région de substrat (par exemple un caisson) ayant également le premier type de conductivité. La première région de substrat et la deuxième région de substrat sont alors séparées par une troisième région de substrat (par exemple un autre caisson) ayant un deuxième type de conductivité différent du premier, par  
25 exemple le type de conductivité P. La région d'isolation s'étend entre la première région de substrat et la deuxième région de substrat et comporte alors un orifice débouchant sur une zone de prise de contact (zone P<sup>+</sup> par exemple) de la troisième région semiconductrice.

En variante, la première zone active et la deuxième zone active  
30 peuvent être électriquement isolées l'une par rapport à l'autre uniquement par des jonctions PN destinées à être polarisées en inverse.

Un tel mode de réalisation permet d'obtenir une meilleure rétention de données. En effet, il a été observé qu'il convenait de

5 choisir une épaisseur du diélectrique supérieure à 60 Å, de façon à obtenir une bonne rétention des données. Or, il a été observé qu'il se produisait un amincissement du diélectrique de grille à l'interface entre la zone d'isolation, par exemple du type tranchées peu profondes, et le matériau de grille. Et, ceci conduit à une moins bonne rétention de données. Par conséquent, le mode de réalisation qui ne prévoit aucun chevauchement de région d'isolation par la couche de matériau de grille résout ce problème.

10 Plus précisément, selon un mode de réalisation, la couche de matériau de grille s'étend intégralement au-dessus des trois régions de substrat précitées, sans chevaucher de région d'isolation.

15 Quel que soit le mode de réalisation, la première région de substrat comporte en surface une zone de prise de contact ayant le premier type de conductivité, par exemple une zone de prise de contact de type N<sup>+</sup> dans un caisson N.

20 Ceci étant, afin de faciliter l'effacement, il peut s'avérer avantageux de ménager en surface de la première zone active, outre la prise de contact précitée, une zone surfacique ayant le deuxième type de conductivité, par exemple le type P<sup>+</sup>, et s'étendant autour de ladite zone tunnel. Bien entendu, cette zone surfacique est électriquement reliée à la zone de prise de contact, par exemple par une siliciuration.

25 Ainsi, on réalisera avec la première partie de matériau de grille, un transistor PMOS par exemple, dont les régions de source et de drain sont court-circuitées. Ceci permettra de rendre bien conductrice la partie de zone active située sous la première partie du matériau de grille.

30 Il serait également possible de ne pas limiter localement la prise de contact, mais de réaliser en surface toute une zone fortement dopée ayant le premier type de conductivité, par exemple le type N<sup>+</sup>. Ceci étant, ceci conduirait probablement à un effacement périmétrique.

Selon un mode de réalisation de l'invention, le dispositif comporte en outre des moyens de polarisation possédant un état de programmation de la cellule-mémoire, un état de lecture de la cellule-mémoire et un état d'effacement de la cellule-mémoire.



Dans l'état d'effacement, les moyens de polarisation provoquent un effacement du type Fowler-Nordheim, en appliquant une tension sur la première zone active beaucoup plus élevée que les tensions appliquées sur les régions de source, de drain et de substrat du transistor.

A cet égard, dans l'état d'effacement, les moyens de polarisation appliquent de préférence des tensions égales sur les régions de source, de drain et de substrat du transistor.

Dans l'état de programmation, les moyens de polarisation peuvent provoquer une programmation par porteurs chauds au niveau du transistor.

Ils peuvent également provoquer une programmation du type Fowler-Nordheim, en appliquant sur les régions de source, de drain et de substrat du transistor, des tensions, de préférence égales, et beaucoup plus élevées que celles appliquées sur la première zone active.

Par ailleurs, dans l'état de lecture, on choisira avantageusement une différence de tension drain/source limitée à 1 volt en valeur absolue. Ceci permet d'éviter une reprogrammation très lente de la cellule-mémoire, ou bien une programmation parasite non-voulue d'une cellule-mémoire vierge.

Le transistor à grille flottante est de préférence un transistor PMOS. Ceci étant, l'invention s'applique également à un transistor du type NMOS.

Le dispositif peut comporter un plan-mémoire comportant plusieurs cellules-mémoires.

Le dispositif peut ainsi former une mémoire du type EEPROM ou du type FLASH.

L'invention a encore pour objet un circuit intégré comportant un dispositif tel que défini ci-avant.

D'autres avantages et caractéristiques de l'invention apparaîtront à l'examen de la description détaillée de modes de réalisation nullement limitatifs, et des dessins annexés, sur lesquels :

-les figures 1, 1a, 1b illustrent schématiquement un premier mode de réalisation d'un dispositif de mémoire, selon l'invention ;

-les figures 2, 2a, 2b illustrent schématiquement un deuxième mode de réalisation d'un dispositif de mémoire, selon l'invention ;

5        -les figures 3, 3a, 3b illustrent schématiquement un troisième mode de réalisation d'un dispositif de mémoire, selon l'invention ;

-la figure 4 illustre schématiquement des polarisations appliquées sur les électrodes d'un dispositif de mémoire, selon l'invention, en fonction de l'état de ce dispositif,

10        - la figure 5 illustre schématiquement un quatrième mode de réalisation d'un dispositif de mémoire selon l'invention, particulièrement destiné à être incorporé au sein d'un plan mémoire,

- la figure 6 illustre un mode de réalisation d'un tel plan mémoire, et,

15        - les figures 7 et 8 illustrent schématiquement des polarisations appliquées sur les électrodes du dispositif de mémoire des figures 5 et 6, en fonction de l'état de ces dispositifs.

20        Dans la suite, les figures 1a (respectivement 2a et 3a) et 1b (respectivement 2b, et 3b) sont respectivement des sections selon les lignes A-A et B-B de la figure 1 (respectivement de la figure 2 et de la figure 3).

Sur les figures 1a et 1b, la référence SB désigne un substrat semiconducteur, par exemple en silicium dopé P', d'un circuit intégré.

25        Ce substrat SB comporte une première région de substrat RG1 formée d'un caisson semiconducteur dopé N, ainsi qu'une deuxième région de substrat RG2 formée d'un autre caisson semiconducteur dopé N. Les deux caissons RG1 et RG2 sont séparés par une troisième région semiconductrice RG3 formée d'un caisson dopé P.

30        Le caisson RG3 assure l'isolation électrique mutuelle en profondeur des deux caissons RG1 et RG2. En effet, cette isolation électrique est réalisée par des jonctions PN qui seront polarisées en inverse.

En surface, l'isolation électrique mutuelle des deux caissons RG1 et RG2 est assurée par une région d'isolation STI, par exemple du type tranchées peu profondes.

5 La région d'isolation STI comporte un orifice débouchant sur une zone de prise de contact PSB, dopée P<sup>+</sup>, et située en surface du caisson RG3. Cette prise de contact PSB va permettre d'assurer une polarisation du caisson RG3 et également du substrat sous-jacent SB.

Le caisson RG1 forme une première zone active, tandis que le caisson RG2 forme une deuxième zone active.

10 Au-dessus de ces deux zones actives, est prévue une couche d'un matériau de grille, par exemple du polysilicium, reposant sur la surface des deux zones actives par l'intermédiaire d'un oxyde de grille OX, par exemple du dioxyde de silicium.

15 La couche de matériau de grille, qui forme dans son ensemble une grille flottante, comporte une première partie P1 surplombant la première zone active RG1.

La couche de matériau de grille comporte également une partie FG annulaire disposée au-dessus de la deuxième zone active RG2. Cette partie annulaire de matériau de grille définit la grille FG d'un transistor PMOS, également appelée transistor de stockage des charges  
20 ou de lecture, dont la source S, formée d'une région implantée de type P<sup>+</sup>, se situe dans le caisson RG2 à l'extérieur de la grille annulaire, et dont le drain D formé également d'une région implantée de type P<sup>+</sup>, se situe dans le caisson RG2 à l'intérieur de l'anneau formant la grille  
25 FG.

La couche de matériau de grille comporte également une partie de liaison PL reliant la partie annulaire FG et la première partie P1.

La géométrie de la première partie P1 a été choisie de façon à ce que la valeur capacitive de la zone d'oxyde OX située sous cette  
30 première partie P1, et également appelée zone tunnel ZTN pour des raisons qui seront explicitées plus en détail ci-après, soit inférieure ou égale à 30% de la valeur capacitive totale entre la couche de matériau de grille et l'ensemble des zones actives de la cellule-mémoire, c'est-

à-dire la somme des capacités formées entre le matériau de grille et chacune des zones actives de la cellule-mémoire.

De ce fait, les régions de source, de drain et de canal, qui sont couplées de façon capacitive à la grille FG, vont former une grille de  
5 commande pour cette cellule-mémoire, tandis que la zone tunnel ZTN va former une zone de transfert des charges permettant l'évacuation, lors d'un effacement de la cellule-mémoire, des charges stockées dans la grille flottante vers la première zone active RG1.

En ce qui concerne la grille de commande, c'est bien entendu la  
10 zone de canal qui participe essentiellement au couplage capacitif avec la grille annulaire FG. Ceci étant, l'homme du métier sait que les régions de source et de drain débordent également par diffusion sous la grille annulaire FG. Aussi, ces régions de source et de drain participent-elles également en pratique à ce couplage capacitif.

15 Afin de polariser de façon adéquate la première zone active RG1, celle-ci comporte une zone implantée  $N^+$ , référencée PC1, et permettant une prise de contact.

Par ailleurs, dans ce mode de réalisation, il est également prévu une zone surfacique ZS, dopée  $P^+$ , et s'étendant autour de la zone  
20 tunnel ZTN.

L'homme du métier aura noté que l'on a ainsi formé avec la première partie P1 de la couche de matériau de grille, un transistor PMOS court-circuité, c'est-à-dire dont les régions de source et de drain, dopées  $P^+$ , sont reliées électriquement.

25 Cette zone surfacique ZS est électriquement reliée à la zone de prise de contact PC1, par exemple par une siliciuration surfacique.

En ce qui concerne la deuxième zone active RG2, il est également prévu une région implantée  $N^+$ , référencée BK, permettant une prise de contact et une polarisation de ce caisson RG2, et par  
30 conséquent une polarisation du substrat du transistor de lecture.

Le procédé de fabrication d'une telle cellule-mémoire comporte, tout d'abord, la réalisation connue en soi dans le substrat SB de type  $P^-$  des régions d'isolation latérales STI.

Puis, on procède de façon connue en soi, à l'implantation des caissons RG1, RG2 et RG3.

5 Puis, après avoir réalisé sur la surface de la structure ainsi obtenue une couche d'oxyde OX, on dépose une couche de matériau de grille, par exemple du polysilicium, que l'on grave de façon à former dans cette couche la grille annulaire FG, la partie de liaison PL et la première partie P1. On procède ensuite à la réalisation des différentes régions implantées P<sup>+</sup> et N<sup>+</sup>, la couche de matériau de grille servant alors notamment de masque dur.

10 On procède ensuite à une siliciuration classique des régions de source, de drain et des prises de contact PC1, BK, ainsi que de la zone surfacique ZS.

On termine ensuite le procédé de fabrication par des prises de contact classiques sur les régions de source, de drain, sur la région BK et sur la prise de contact PC1.

15 On va maintenant décrire, en se référant plus particulièrement à la figure 4, le fonctionnement de la cellule-mémoire selon l'invention.

A cet égard, le dispositif de mémoire selon l'invention, comporte des moyens de polarisation MPL, par exemple des sources de tension associées à une logique de commande, ces moyens de polarisation possédant un état de programmation de la cellule-mémoire, un état de lecture de cette cellule-mémoire et un état d'effacement de cette cellule-mémoire.

20 Dans chacun de ces états, les moyens MPL délivrent sur la source S, le drain D et le substrat BK du transistor, des tensions VS, VD et VBK. Ils polarisent également le substrat RG3 avec une tension VPSB appliquée sur la zone de contact PSB, et la première zone active RG1 avec une tension VZ1 appliquée sur la zone de contact PC1.

25 Une première possibilité pour programmer électriquement la cellule-mémoire, consiste à adopter une programmation dite « par électrons chauds ». Plus précisément, lorsqu'on veut programmer électriquement la cellule-mémoire, c'est-à-dire lorsqu'on veut stocker des charges dans la grille flottante, on applique par exemple sur la

source du transistor une tension égale à 5 volts et sur le drain une tension égale à 0 volt.

5 On polarise par ailleurs le substrat du transistor à 5 volts et on applique sur la prise de contact PC1 de la première zone active une tension qui peut varier en pratique entre 0 et 5 volts, par exemple 5 volts. On polarise par ailleurs le substrat (prise de contact PSB) à 0 volt. Le transistor est alors passant (sous réserve d'une tension grille/source suffisante pour initialiser la conduction du transistor), ce qui crée une saturation de ce transistor et provoque un courant de trous  
10 provenant de la source. Ces trous entrent en collision avec le réseau cristallin et forment des trous chauds et des électrons chauds. Les électrons chauds sont attirés dans la grille flottante dont le potentiel chute légèrement par rapport à celui appliqué sur la source.

15 Une autre possibilité de programmation de la cellule-mémoire, selon l'invention, consiste à effectuer une programmation du type Fowler-Nordheim, c'est-à-dire appliquer un champ électrique important pour abaisser les barrières énergétiques et permettre le transit des électrons vers la grille flottante.

20 Plus précisément, dans ce cas, on appliquera par exemple sur la source, le drain et le substrat du transistor, des tensions égales dont la valeur est relativement élevée, par exemple comprise entre 8 et 11 volts, et typiquement 11 volts. Parallèlement, alors que le caisson RG3 est toujours polarisé à 0 volt, on applique une tension égale à 0 volt sur la prise de contact PC1 de la première zone active.

25 De ce fait, la grille flottante est portée à un potentiel sensiblement égal à 10 volts, tandis que la première zone active est à 0 volt. Il se crée donc un fort champ électrique qui va attirer les électrons de la première zone active RG1 vers la grille flottante à travers l'oxyde de la zone tunnel ZTN.

30 La cellule-mémoire, selon l'invention, présente donc l'avantage de pouvoir être programmée de deux façons différentes, soit par une programmation du type électrons chauds, soit par une programmation du type Fowler-Nordheim. Il sera ainsi possible de choisir le type de programmation en fonction des applications envisagées.

En effet, une programmation par électrons chauds est plus consommatrice de courant, mais est par contre plus rapide qu'une programmation du type Fowler-Nordheim, qui présente une consommation moindre. On choisira donc, de préférence, une  
5 programmation du type Fowler-Nordheim dans des applications de téléphonie mobile.

Dans l'état de lecture, on limite volontairement la différence de tension drain/source à -1 volt de façon à éviter une reprogrammation très lente de la cellule-mémoire. On choisira ainsi par exemple une  
10 tension sur la source de 3,3 volts, et une tension sur le drain de 2,3 volts. Le substrat BK sera polarisé à 3,3 volts et la grille de commande (source et drain) pourra être polarisée avec une tension variant entre 0 et 3,3 volts.

Ainsi, si lors de la programmation, on a programmé un zéro  
15 dans la cellule-mémoire, c'est-à-dire si l'on n'a en fait effectué aucune programmation, le transistor sera bloqué lors de la lecture.

Si, par contre, lors de l'état de programmation, on a programmé un « 1 » (par exemple) dans la cellule-mémoire, c'est-à-dire si l'on a stocké des charges dans la grille flottante, le transistor conduira lors  
20 de la lecture. Ainsi, la détection ou non d'un courant dans l'état de lecture permet de déterminer la valeur logique qui a été écrite ou programmée dans la cellule.

Pour procéder à l'effacement de la cellule-mémoire, on applique une tension sur la première zone active beaucoup plus élevée  
25 que celles appliquées sur les régions de source, de drain et de substrat du transistor.

A titre indicatif, on applique une tension nulle sur la source, le substrat et le drain du transistor, et une tension par exemple égale à 11 volts sur la prise de contact PC1, le substrat RG3 étant toujours  
30 polarisé à 0 volt. Cet effacement, du type Fowler-Nordheim, conduit donc à l'application d'un champ électrique très élevée, inverse de celui de la programmation, et provoque par conséquent l'évacuation des charges stockées dans la grille flottante vers la zone active RG1 jusqu'à la prise de contact PC1, via la zone tunnel ZTN.

Il n'y a donc pas de dégradation de l'oxyde du transistor de la cellule-mémoire qui correspond à la zone de plus fort couplage.

L'invention n'est pas limitée au mode de réalisation qui vient d'être décrit, mais embrasse toutes les variantes.

5       Ainsi, comme illustré sur les figures 2, 2a et 2b, la prise de contact PC1, dopée  $N^+$  de la première zone active, peut s'étendre sur toute la surface de cette première zone active, sauf bien entendu sous la première partie P1 du matériau de grille

10       Ceci étant, puisqu'il n'y a pas d'implantation dans la partie de liaison PL du matériau de grille, il se forme alors, dans le matériau de grille, une diode PIN, c'est-à-dire une diode formée d'une région  $P^+$ , et d'une région  $N^+$  séparée par une région de matériau de grille intrinsèque. Or, lors de l'effacement, cette diode est polarisée en inverse et peut contrecarrer quelque peu l'efficacité d'effacement.  
15       C'est la raison pour laquelle, dans certaines applications, on préférera utiliser le mode de réalisation illustré sur les figures 1, 1a et 1b.

Dans un autre mode de réalisation, la prise de contact PC1 peut rester localisée et le reste de la zone active RG1 dopée N.

20       Un autre mode de réalisation envisageable est celui illustré sur les figures 3, 3a et 3b. On remarque, sur ces figures, l'absence en surface de zones d'isolation STI entre la première zone active et la deuxième zone active. L'isolation est réalisée ici uniquement par des jonctions PN polarisées en inverse.

25       Dans l'exemple décrit sur ces figures 3, la première zone active est implantée en surface du type  $N^+$ . Cependant, la prise de contact  $N^+$  pourrait être localisée et l'on pourrait également avoir une implantation  $P^+$  du type zone surfacique analogue à celle illustrée sur les figures 1.

30       Ce mode de réalisation, dans lequel la couche de matériau de grille s'étend intégralement au-dessus des zones actives de la cellule-mémoire sans chevaucher de région d'isolation latérale, permet une meilleure rétention des données. En effet, on évite ainsi le phénomène d'amincissement d'oxyde à l'interface entre une zone d'isolation et le matériau de grille.



Il conviendra toutefois dans ce mode de réalisation d'utiliser un masque approprié lors de l'étape de siliciuration afin de ne pas siliciurer la grille flottante ni les fonctions PN en surface, et donc de ne pas créer de court-circuit métallique. En outre, le fait de ne pas  
5 siliciurer la grille flottante permet une meilleure rétention des données.

Bien entendu, la programmation, la lecture et l'effacement de cellules-mémoires telles que celles illustrées sur les figures 2 et sur les figures 3, sont analogues à celles décrites en référence aux figures  
10 1.

Enfin, bien que la cellule-mémoire non volatile programmable et effaçable électriquement qui vient d'être décrite utilise un transistor PMOS, une réalisation à base d'un transistor NMOS est également envisageable.

Par ailleurs, on peut prévoir plusieurs cellules-mémoires, de façon à former un plan-mémoire qui peut être effaçable bit par bit de façon à former une mémoire du type EEPROM, ou bien effaçable par banc ou par page de façon à former une mémoire du type FLASH. Cependant, il conviendra alors d'associer un transistor d'accès à  
15 chaque cellule-mémoire de façon à pouvoir la sélectionner.

A cet égard, le mode de réalisation de la cellule illustrée sur la figure 5 va permettre de réaliser un plan mémoire tel que celui illustré sur la figure 6, offrant une architecture de taille réduite avec un fort courant de programmation des cellules et une bonne isolation entre les  
20 lignes de bits.

Ceci est obtenu selon l'invention, notamment par l'utilisation d'un transistor d'accès ayant une forme particulière qui va conduire à mettre à contribution les transistors d'accès des cellules voisines.

Plus précisément, comme illustré sur la figure 5, on voit qu'une cellule-mémoire  $CEL_i$  que l'on suppose ici être encadrée par deux  
30 cellules-mémoires adjacentes  $CEL_{i-1}$  et  $CEL_{i+1}$  situées dans une même colonne  $CL_j$  que ladite cellule-mémoire (figure 6), comporte un transistor d'accès référencé  $TACS_i$ .

Ce transistor d'accès  $TACS_i$ , affecté à la cellule-mémoire  $CEL_i$ , entoure partiellement le transistor à grille flottante FG de la cellule-mémoire.

5 Plus précisément, ce transistor d'accès  $TACS_i$  peut être décomposé en trois transistors d'accès élémentaires.

Ainsi, un premier transistor d'accès élémentaire  $TACSEL1_i$  est spécifiquement associé à la cellule-mémoire  $CEL_i$ .

10 Par contre, le deuxième transistor d'accès élémentaire  $TACSEL2_i$  et le troisième transistor d'accès élémentaire  $TACSEL3_i$  sont respectivement communs aux deux transistors d'accès  $TACS_{i-1}$  et  $TACS_{i+1}$  respectivement affectés aux deux cellules-mémoires adjacentes  $CEL_{i-1}$  et  $CEL_{i+1}$ .

La source du transistor d'accès  $TACS_i$  forme la source du premier transistor d'accès élémentaire  $TACSEL1_i$ .

15 Par ailleurs, le drain du premier transistor d'accès élémentaire  $TACSEL1_i$  forme une partie de la source S du transistor à grille flottante FG de la cellule-mémoire.

20 Si l'on se réfère maintenant plus particulièrement à la figure 6 qui représente le plan mémoire formé des cellules illustrées sur la figure 5, on voit que chaque colonne de cellule-mémoire, par exemple la colonne  $CL_j$  comporte une couche de matériau de grille  $MTL_j$  possédant une partie principale PMTL s'étendant dans le sens de la colonne le long et en vis-à-vis de tous les transistors à grille flottante FG des cellules.

25 La grille  $GREL1_i$  du premier transistor élémentaire  $TACSEL1_i$  du transistor d'accès  $TACS_i$  comporte alors la portion de ladite partie principale de la couche de matériau de grille  $MTL_j$  située en vis-à-vis du transistor à grille flottante FG de la cellule  $CEL_i$ .

30 Par ailleurs, cette couche de matériau de grille  $MTL_j$  comporte, au niveau de chaque cellule-mémoire, par exemple au niveau de la cellule-mémoire  $CEL_i$ , une deuxième portion élémentaire  $E2MTL_j$  raccordée à la partie principale PMTL<sub>j</sub> et s'étendant sensiblement perpendiculairement à cette partie principale d'un côté du transistor à grille flottante.

Cette deuxième portion élémentaire  $E2MTL_j$  forme alors une partie de la grille  $GREL2_i$  du deuxième transistor élémentaire  $TACSEL2_i$ .

5 La couche de matériau de grille  $MTL_j$  comporte également une troisième portion élémentaire  $E3MTL_j$  également raccordée à la partie principale  $PMTL_j$  et s'étendant sensiblement perpendiculairement à cette partie principale de l'autre côté du transistor à grille flottante de la cellule  $CEL_i$ .

10 Cette troisième portion élémentaire  $E3MTL_j$  forme une partie de la grille  $GREL3_i$  du troisième transistor élémentaire  $TACSEL3_i$ .

On remarque par ailleurs sur la figure 6 que la deuxième portion élémentaire  $E2MTL_j$  associée à une cellule-mémoire forme la troisième portion élémentaire associée à l'une des deux cellules-mémoires adjacentes, tandis que la troisième portion élémentaire  
15  $E3MTL_j$  associée à la cellule-mémoire  $CEL_i$  forme la deuxième portion élémentaire associée à l'autre des cellules-mémoires adjacentes.

La source de chaque transistor d'accès  $TACS_i$  comporte une pluralité de contacts  $SLC$  qui sont tous reliés ensemble au moyen d'une même métallisation.

20 De façon à augmenter encore le courant du transistor d'accès lorsque celui-ci est passant, on dispose également d'autres contacts  $SLC$  au voisinage externe des extrémités des grilles  $GREL2_i$  et  $GREL3_i$  des deux autres transistors d'accès élémentaires.

25 Par ailleurs, les contacts de drain  $BLC$  des cellules-mémoires d'une même ligne sont reliés ensemble et forment par conséquent une ligne de bit.

30 La couche de matériau de grille  $MTL_j$  de chaque colonne, est également destinée à être polarisée par une tension de polarisation de grille, et la métallisation destinée à véhiculer la tension de polarisation de grille sur la couche  $MTL_j$  forme une métallisation de colonne ("row line").

On remarque donc ici qu'il n'y a pas de contact spécifique sur la source  $S$  du transistor à grille flottante d'une cellule-mémoire. Cette source est par conséquent flottante.

On va maintenant décrire plus particulièrement le fonctionnement du plan mémoire en se référant également aux figures 7 et 8.

5 D'une façon générale, le dispositif de mémoire selon l'invention comporte des moyens de polarisation MPL2 aptes à sélectionner au moins une cellule-mémoire en programmation et en lecture, et aptes à effacer le plan mémoire par blocs de cellules, en l'espèce ici par deux colonnes simultanément.

10 En effet, on remarque sur la figure 6 que toutes les prises de contact PC1 des cellules-mémoires de deux colonnes adjacentes  $CL_j$  et  $CL_{j+1}$  sont reliées ensemble par une même métallisation MTL2.

Par contre, en programmation ou en lecture, on pourra si nécessaire ne sélectionner qu'une seule cellule à la fois en jouant sur les polarisations des lignes de bits et des métallisations de colonnes ("row lines").

15 Il ressort de l'architecture illustrée sur la figure 6 que les moyens de polarisation sont par conséquent aptes à appliquer une même tension de polarisation de source sur les sources respectives SLC des transistors d'accès affectées respectivement aux cellules-mémoires d'une même colonne.

20 Par ailleurs, ces moyens de polarisation MPL2 peuvent appliquer une même tension de polarisation de grille sur les grilles respectives des transistors d'accès affectées respectivement aux cellules-mémoires d'une même colonne.

25 Enfin, comme indiqué précédemment, les moyens de polarisation peuvent appliquer une même tension d'effacement sur les premières zones actives respectives RG1 des cellules-mémoires d'au moins une même colonne, et ici en particulier de deux colonnes adjacentes.

30 D'une façon analogue à ce qui a été décrit pour les modes de réalisation illustrés sur les figures 1 à 3, les moyens de polarisation MPL2 possèdent un état de programmation dans lequel ils sont aptes à programmer une cellule-mémoire. Ils possèdent également un état de lecture dans lequel ils sont aptes à lire une cellule-mémoire. Et ils

possèdent un état d'effacement dans lequel ils sont aptes à effacer au moins une colonne de cellules-mémoires.

5 Dans chacun de ces états, les moyens de polarisation sont aptes à appliquer des tensions prédéterminées sur les sources et les grilles des transistors d'accès, ainsi que sur les drains et les substrats des transistors à grille flottante des cellules, ainsi que sur les premières zones actives RG1.

10 Considérons maintenant le cas où l'on souhaite accéder à la cellule  $CEL_{ij}$ , cette cellule appartenant à la ligne  $i$  et à la colonne  $j$  (figure 7).

15 D'une façon générale, pour accéder à une cellule-mémoire en lecture ou en programmation, les moyens de polarisation MPL2 rendent passants les transistors d'accès des cellules-mémoires appartenant à la même colonne que celle de la cellule-mémoire considérée.

20 Par ailleurs, les moyens de polarisation appliquent une tension identique sur la source du transistor d'accès et le drain du transistor à grille flottante de chaque cellule-mémoire de ladite colonne, différente de la cellule-mémoire considérée, de façon à ce que les autres cellules-mémoires de la colonne ne soient pas sollicitées.

Enfin, les moyens de polarisation MPL2 rendent bloqués les transistors d'accès des cellules-mémoires appartenant à une autre colonne que celle de la cellule-mémoire considérée.

25 A titre d'exemple, comme illustré sur la figure 7, pour programmer la cellule  $CEL_{ij}$ , les moyens de polarisation MPL2 appliquent par exemple une tension  $VMTL = 1,7$  volts sur la couche de matériau de grille  $MTL_j$  de la colonne  $CL_j$ .

30 Par ailleurs, ils appliquent une tension VLC égale par exemple à 5 volts, sur tous les contacts de source SLC. En conséquence, la différence de tension grille/source de tous les transistors d'accès de toutes les cellules de la colonne  $CL_j$  est égale à - 3,3 volts, ce qui rend par conséquent tous ces transistors d'accès passants.

Les moyens de polarisation MPL2 appliquent alors une tension VBL égale à 0 volt sur le contact BLC (ligne de bit) et ils appliquent

des tensions VBK, VPSB et VZ1 respectivement égales à 5 volts, 0 volt et 5 volts sur respectivement les contacts BK, PSB et PC1.

La cellule est alors programmée par électrons chauds.

5 A cet égard, il convient de noter ici que l'invention est remarquable en ce sens que puisque la couche de matériau de grille MTL<sub>j</sub> forme une équipotentielle, tous les transistors d'accès, c'est-à-dire tous les transistors d'accès élémentaires sont passants, et contribuent à fournir le courant de programmation à la cellule considérée. Bien entendu, la contribution majoritaire est fournie par le  
10 transistor d'accès de la cellule et la contribution d'un transistor d'accès est d'autant plus faible que ce transistor d'accès est éloigné de la cellule-mémoire à laquelle on accède.

Bien entendu, puisque l'on ne souhaite accéder qu'à une seule cellule de cette colonne et que tous les transistors d'accès des cellules  
15 de cette colonne sont passants, il convient alors, afin de ne pas solliciter les autres cellules CEL<sub>mj</sub> (m différent de i) de la même colonne, d'appliquer des tensions égales sur les contacts BLC et SLC de ces cellules-mémoires. En d'autres termes, puisque dans le cas présent, la tension VSLC est fixée à 5 volts, on appliquera sur les  
20 drains (ligne de bit) des autres cellules de la colonne, une tension de 5 volts.

En ce qui concerne les cellules CEL<sub>mn</sub> (n différent de j), c'est-à-dire les cellules appartenant aux autres colonnes que la colonne comportant la cellule à laquelle on accède, les moyens de polarisation  
25 MPL2 appliquent sur les grilles des transistors d'accès MTL<sub>n</sub> une tension VMTL égale à la tension VSLC. Ainsi, tous les transistors d'accès des cellules de ces autres colonnes sont bloqués puisque la différence de tension grille/source est nulle.

Il convient de noter ici que l'on a ainsi réalisé une très bonne  
30 isolation entre deux lignes de bits voisines.

Si l'on souhaite maintenant accéder à la cellule CEL<sub>ij</sub> en lecture, les moyens de polarisation MPL2 appliquent une tension égale à 0 volt sur les grilles des transistors d'accès et une tension égale à 3,3

possèdent un état d'effacement dans lequel ils sont aptes à effacer au moins une colonne de cellules-mémoires.

5 Dans chacun de ces états, les moyens de polarisation sont aptes à appliquer des tensions prédéterminées sur les sources et les grilles des transistors d'accès, ainsi que sur les drains et les substrats des transistors à grille flottante des cellules, ainsi que sur les premières zones actives RG1.

10 Considérons maintenant le cas où l'on souhaite accéder à la cellule  $CEL_{ij}$ , cette cellule appartenant à la ligne  $i$  et à la colonne  $j$  (figure 7).

15 D'une façon générale, pour accéder à une cellule-mémoire en lecture ou en programmation, les moyens de polarisation MPL2 rendent passants les transistors d'accès des cellules-mémoires appartenant à la même colonne que celle de la cellule-mémoire considérée.

20 Par ailleurs, les moyens de polarisation appliquent une tension identique sur la source du transistor d'accès et le drain du transistor à grille flottante de chaque cellule-mémoire de ladite colonne, différente de la cellule-mémoire considérée, de façon à ce que les autres cellules-mémoires de la colonne ne soient pas sollicitées.

Enfin, les moyens de polarisation MPL2 rendent bloqués les transistors d'accès des cellules-mémoires appartenant à une autre colonne que celle de la cellule-mémoire considérée.

25 A titre d'exemple, comme illustré sur la figure 7, pour programmer la cellule  $CEL_{ij}$ , les moyens de polarisation MPL2 appliquent par exemple une tension  $V_{MTL} = 1,7$  volts sur la couche de matériau de grille  $MTL_j$  de la colonne  $CL_j$ .

30 Par ailleurs, ils appliquent une tension VLC égale par exemple à 5 volts, sur tous les contacts de source SLC. En conséquence, la différence de tension grille/source de tous les transistors d'accès de toutes les cellules de la colonne  $CL_j$  est égale à - 3,3 volts, ce qui rend par conséquent tous ces transistors d'accès passants.

Les moyens de polarisation MPL2 appliquent alors une tension VBL égale à 0 volt sur le contact BLC (ligne de bit) et ils appliquent

des tensions VBK, VPSB et VZ1 respectivement égales à 5 volts, 0 volt et 5 volts sur respectivement les contacts BK, PSB et PC1.

La cellule est alors programmée par électrons chauds.

5 A cet égard, il convient de noter ici que l'invention est remarquable en ce sens que puisque la couche de matériau de grille MTL<sub>j</sub> forme une équipotentielle, tous les transistors d'accès, c'est-à-dire tous les transistors d'accès élémentaires sont passants, et contribuent à fournir le courant de programmation à la cellule considérée. Bien entendu, la contribution majoritaire est fournie par le  
10 transistor d'accès de la cellule et la contribution d'un transistor d'accès est d'autant plus faible que ce transistor d'accès est éloigné de la cellule-mémoire à laquelle on accède.

Bien entendu, puisque l'on ne souhaite accéder qu'à une seule cellule de cette colonne et que tous les transistors d'accès des cellules  
15 de cette colonne sont passants, il convient alors, afin de ne pas solliciter les autres cellules CEL<sub>mj</sub> (m différent de i) de la même colonne, d'appliquer des tensions égales sur les contacts BLC et SLC de ces cellules-mémoires. En d'autres termes, puisque dans le cas présent, la tension VSLC est fixée à 5 volts, on appliquera sur les  
20 drains (ligne de bit) des autres cellules de la colonne, une tension de 5 volts.

En ce qui concerne les cellules CEL<sub>mn</sub> (n différent de j), c'est-à-dire les cellules appartenant aux autres colonnes que la colonne comportant la cellule à laquelle on accède, les moyens de polarisation  
25 MPL2 appliquent sur les grilles des transistors d'accès MTL<sub>n</sub> une tension VMTL égale à la tension VSLC. Ainsi, tous les transistors d'accès des cellules de ces autres colonnes sont bloqués puisque la différence de tension grille/source est nulle.

Il convient de noter ici que l'on a ainsi réalisé une très bonne  
30 isolation entre deux lignes de bits voisines.

Si l'on souhaite maintenant accéder à la cellule CEL<sub>ij</sub> en lecture, les moyens de polarisation MPL2 appliquent une tension égale à 0 volt sur les grilles des transistors d'accès et une tension égale à 3,3



volts sur les sources des transistors d'accès, de façon à rendre les transistors d'accès des cellules de la colonne passants.

5 Dans cet état de lecture, on limite volontairement la différence de tension drain/source du transistor à grille flottante à - 1 volt de façon à éviter une reprogrammation très lente de la cellule-mémoire. On choisira alors une tension sur le drain égale à 2,3 volts. Le substrat BK sera polarisé à 3,3 volts. On appliquera également par exemple la masse sur la prise de contact PSB et 3,3 volts sur la prise de contact PC1.

10 L'effacement des cellules de deux colonnes voisines est du type Fowler-Nordheim. Plus précisément, dans cet état d'effacement, les moyens de polarisation provoquent un effacement du type Fowler-Nordheim en appliquant une tension sur les premières zones actives RG1 beaucoup plus élevée que celle appliquée sur les régions de source des transistors d'accès et sur les régions de drain et de substrat des transistors à grille flottante.

15 Ainsi, à titre indicatif, comme illustré sur la figure 8, les moyens de polarisation MPL2 pourront appliquer une tension VZ1 sur la prise de contact PC1 égale à 11 volts tandis que la masse sera appliquée sur toutes les autres prises de contact.

20 Il convient de noter ici que le fait que la source du transistor à grille flottante de la cellule-mémoire soit elle-même flottante, est compatible avec un effacement du type Fowler-Nordheim via la première zone active RG1. En effet, la source flottante du transistor est tirée à la masse par le point-mémoire lui-même.

25 Bien entendu, dans la variante illustrée sur les figures 5 et 6, on pourra utiliser une isolation du type de celle illustrée sur les figures 1, 2 et 3 pour isoler mutuellement les différentes régions actives RG1, RG2 et RG3 du point-mémoire.

30

## REVENDEICATIONS

1. Dispositif semiconducteur de mémoire, comprenant une cellule-mémoire non volatile programmable et effaçable électriquement à une seule couche de matériau de grille et comportant un transistor à grille flottante et une grille de commande, caractérisé par le fait que les régions de source (S), de drain (D) et de canal du transistor à grille flottante forment la grille de commande et par le fait que la cellule-mémoire comporte une zone diélectrique (ZTN) disposée entre une première partie (P1) de la couche de matériau de grille et une première zone active semiconductrice (RG1) électriquement isolée d'une deuxième zone active (RG2) incorporant la grille de commande, cette zone diélectrique formant une zone tunnel (ZTN) pour lors d'un effacement de la cellule, le transfert vers ladite première zone active des charges stockées dans la grille flottante.
2. Dispositif selon la revendication 1, caractérisé par le fait que la valeur capacitive de la zone tunnel (ZTN) est inférieure ou égale à 30% de la valeur capacitive totale entre la couche de matériau de grille et l'ensemble des zones actives de la cellule-mémoire.
3. Dispositif selon la revendication 1 ou 2, caractérisé par le fait que le transistor a une grille annulaire (FG), et par le fait que la couche de matériau de grille comporte outre ladite grille annulaire (FG) et ladite première partie (P1), une partie de liaison (PL) entre cette première partie et la grille annulaire.
4. Dispositif selon l'une des revendications précédentes, caractérisé par le fait que la première zone active (RG1) et la deuxième zone active (RG2) sont électriquement isolées l'une par rapport à l'autre par des jonctions PN destinées à être polarisées en inverse.
5. Dispositif selon la revendication 4, caractérisé par le fait que la première zone active (RG1) et la deuxième zone active (RG2) sont électriquement isolées l'une par rapport à l'autre en surface par une région d'isolation (STI).

5 6. Dispositif selon la revendication 5, caractérisé par le fait  
que la première zone active réalisée dans une première région de  
substrat (RG1) ayant un premier type de conductivité, par le fait que la  
deuxième zone active est réalisée dans une deuxième région de  
substrat (RG2) ayant également le premier type de conductivité, par le  
fait que la première région de substrat et la deuxième région de  
substrat sont séparées par une troisième région de substrat (RG3) ayant  
un deuxième type de conductivité différent du premier, et par le fait  
10 que la région d'isolation s'étend entre la première région de substrat et  
la deuxième région de substrat et comporte un orifice débouchant sur  
une zone de prise de contact (PSB) de la troisième région  
semiconductrice.

15 7. Dispositif selon la revendication 4, caractérisé par le fait  
que la première zone active réalisée dans une première région de  
substrat (RG1) ayant un premier type de conductivité, par le fait que la  
deuxième zone active est réalisée dans une deuxième région de  
substrat ayant également le premier type de conductivité, par le fait  
que la première région de substrat et la deuxième région de substrat  
sont séparées par une troisième région de substrat (RG3) ayant un  
20 deuxième type de conductivité différent du premier, et par le fait que  
la couche de matériau de grille (FG, P1, P2) s'étend intégralement au  
dessus des trois régions de substrat sans chevaucher de région  
d'isolation (STI).

25 8. Dispositif selon la revendication 6 ou 7, caractérisé par le  
fait que la première région de substrat (RG1) comporte en surface une  
zone de prise de contact (PC1) ayant le premier type de conductivité.

9. Dispositif selon la revendication 8, caractérisé par le fait  
que la première région de substrat (RG1) comporte en outre une zone  
surfacique (ZS) ayant le deuxième type de conductivité et s'étendant  
30 autour de ladite zone tunnel, cette zone surfacique (ZS) étant  
électriquement reliée à ladite zone de prise de contact (PC1).

10. Dispositif selon l'une des revendications précédentes,  
caractérisé par le fait que le transistor est un transistor PMOS.

11. Dispositif selon l'une des revendications précédentes, caractérisé par le fait qu'il comporte un plan-mémoire comportant plusieurs cellules-mémoires, chaque cellule-mémoire étant affectée d'un transistor d'accès.

5           12. Dispositif selon l'une des revendications précédentes, caractérisé par le fait qu'il comporte en outre des moyens de polarisation (MPL) possédant un état de programmation de la cellule-mémoire, un état de lecture de la cellule-mémoire, et un état  
10 d'effacement de la cellule-mémoire, par le fait que dans chacun des états, les moyens de polarisation sont aptes à appliquer des tensions prédéterminées sur la source, le drain et le substrat du transistor et sur la première zone active, et par le fait que dans l'état d'effacement les  
15 moyens de polarisation provoquent un effacement du type Fowler-Nordheim en appliquant une tension sur la première zone active beaucoup plus élevée que celles appliquées sur les régions de source, de drain et de substrat du transistor.

          13. Dispositif selon la revendication 12, caractérisé par le fait que dans l'état d'effacement, les moyens de polarisation (MPL) appliquent des tensions égales sur les régions de source, de drain et de  
20 substrat du transistor.

          14. Dispositif selon l'une des revendications 12 ou 13, caractérisé par le fait que dans l'état de programmation, les moyens de polarisation (MPL) provoquent une programmation par porteurs chauds au niveau du transistor.

25           15. Dispositif selon l'une des revendications 12 ou 13, caractérisé par le fait que dans l'état de programmation, les moyens de polarisation (MPL) provoquent une programmation du type Fowler-Nordheim en appliquant sur les régions de source, de drain et de substrat du transistor des tensions égales beaucoup plus élevées que  
30 celle appliquée sur la première zone active.

          16. Dispositif selon l'une des revendications 12 à 15, caractérisé par le fait que dans l'état de lecture, la différence de tension drain/source est limitée à 1 volt en valeur absolue.

17. Dispositif selon la revendication 11, caractérisé par le fait que le transistor d'accès (TACS<sub>i</sub>) affecté à une cellule-mémoire encadrée par deux cellules-mémoires adjacentes situées dans une même colonne que ladite cellule-mémoire considérée comporte un premier transistor d'accès élémentaire (TACSEL1<sub>i</sub>) spécifiquement associé à ladite cellule-mémoire et un deuxième (TACSEL2<sub>i</sub>) et un troisième (TACSEL3<sub>i</sub>) transistor d'accès élémentaires respectivement communs aux deux transistors d'accès respectivement affectés aux deux cellules-mémoires adjacentes, par le fait que la source (SLC) du transistor d'accès (TACS<sub>i</sub>) forme la source du premier transistor d'accès élémentaire tandis que le drain du premier transistor d'accès élémentaire forme une partie de la source du transistor à grille flottante de la cellule-mémoire, et par le fait que le dispositif comporte en outre des moyens de polarisation (MPL2) aptes à sélectionner au moins une cellule-mémoire en programmation et en lecture et effacer le plan mémoire par bloc de cellules.

18. Dispositif selon la revendication 17, caractérisé par le fait que les moyens de polarisation (MPL2) sont aptes à appliquer une même tension de polarisation de source sur les sources respectives des transistors d'accès affectés respectivement aux cellules-mémoires d'une même colonne, une même tension de polarisation de grille sur les grilles respectives des transistors d'accès affectés respectivement aux cellules-mémoires d'une même colonne, et une même tension d'effacement sur les premières zones actives respectives des cellules-mémoires d'au moins une même colonne.

19. Dispositif selon la revendication 17 ou 18, caractérisé par le fait que le transistor d'accès (TACS<sub>i</sub>) affecté à une cellule-mémoire entoure partiellement le transistor à grille flottante de la cellule-mémoire.

20. Dispositif selon la revendication 19, caractérisé par le fait que chaque colonne (CL<sub>j</sub>) de cellules-mémoires comporte une couche de matériau de grille (MTL<sub>j</sub>) possédant une partie principale (PMTL<sub>j</sub>) s'étendant dans le sens de la colonne le long et en vis-à-vis de tous les transistors à grille flottante des cellules, par le fait que la grille du

premier transistor élémentaire d'un transistor d'accès affecté à une cellule-mémoire comporte la portion de ladite partie principale de la couche de matériau de grille située en vis-à-vis du transistor à grille flottante de ladite cellule, par le fait que couche de matériau de grille

5 comporte au niveau de chaque cellule-mémoire, une deuxième portion élémentaire ( $E2MTL_j$ ) raccordée à la partie principale et s'étendant sensiblement perpendiculairement à cette partie principale d'un côté du transistor à grille flottante de la cellule de façon à former une

10 partie de la grille du deuxième transistor élémentaire du transistor d'accès, ainsi qu'une troisième portion élémentaire ( $E3MTL_j$ ) raccordée à la partie principale et s'étendant sensiblement perpendiculairement à cette partie principale de l'autre côté du transistor à grille flottante de la cellule de façon à former une partie de la grille du troisième transistor élémentaire du transistor d'accès, et

15 par le fait que ladite deuxième portion élémentaire associée à une cellule-mémoire forme la troisième portion élémentaire associée à l'une des deux cellules-mémoires adjacentes, tandis que ladite troisième portion élémentaire associée à la cellule-mémoire forme la deuxième portion élémentaire associée à l'autre des deux cellules-mémoires adjacentes.

20

21. Dispositif selon l'une des revendications 17 à 20, caractérisé par le fait que les moyens de polarisation (MPL2) possèdent un état de programmation dans lequel ils sont aptes à programmer une cellule-mémoire, un état de lecture dans lequel ils

25 sont aptes à lire une cellule-mémoire, et un état d'effacement dans lequel ils sont aptes à effacer au moins une colonne de cellules-mémoires, par le fait que dans chacun des états, les moyens de polarisation sont aptes à appliquer des tensions prédéterminées sur les sources et les grilles des transistor d'accès, ainsi que sur les drains et

30 les substrats des transistors à grilles flottantes des cellules et sur les premières zones actives, et par le fait que dans l'état d'effacement les moyens de polarisation provoquent un effacement du type Fowler-Nordheim en appliquant une tension sur les premières zones actives beaucoup plus élevées que celles appliquées sur les régions de source

des transistors d'accès, et sur les régions de drain et de substrat des transistors à grilles flottantes.

22. Dispositif selon la revendication 21, caractérisé par le fait que pour accéder à une cellule-mémoire en lecture ou en programmation, les moyens de polarisation (MPL2) rendent passants les transistors d'accès des cellules-mémoires appartenant à la même colonne que celle de la cellule-mémoire considérée, appliquent une tension identique sur la source du transistor d'accès et le drain du transistor à grille flottante de chaque cellule-mémoire de ladite colonne différente de la cellule-mémoire considérée, et rendent bloqués les transistors d'accès des cellules-mémoires appartenant une autre colonne que celle de la cellule-mémoire considérée.

23. Dispositif selon l'une des revendications précédentes, caractérisé par le fait qu'il forme une mémoire du type EEPROM ou du type FLASH.

24. Circuit intégré, caractérisé par le fait qu'il comporte un dispositif selon l'une des revendications 1 à 23.

1/8

FIG.1

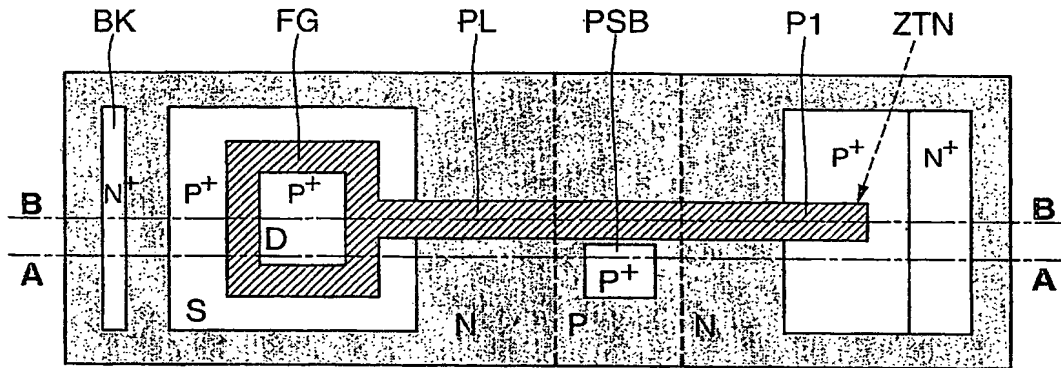


FIG.1a

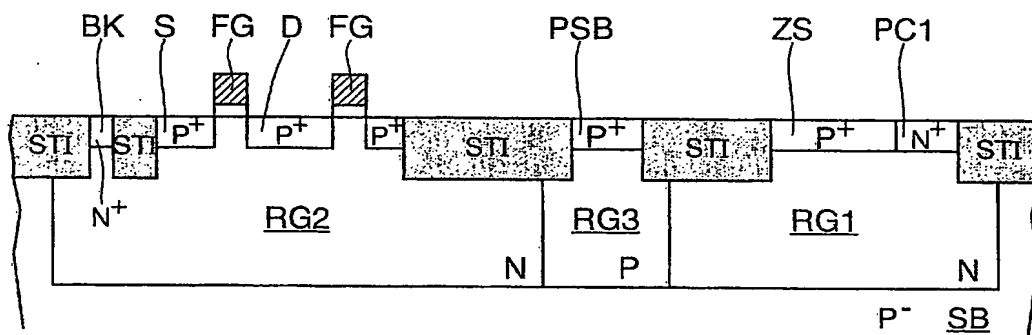


FIG.1b

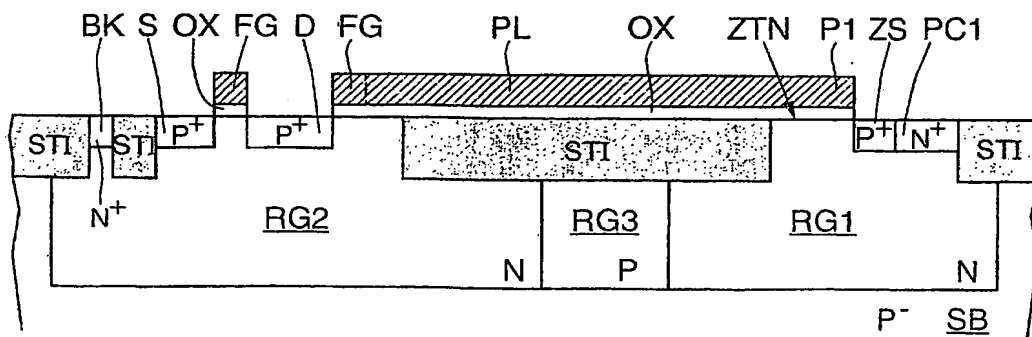




FIG.2

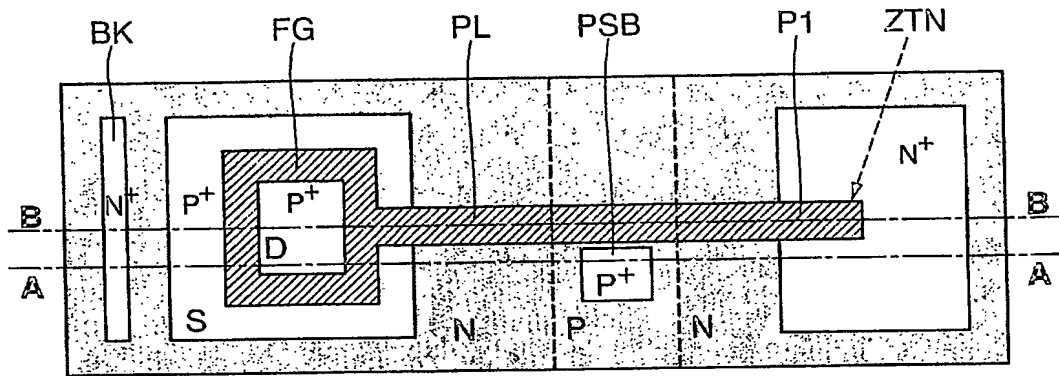


FIG. 2a

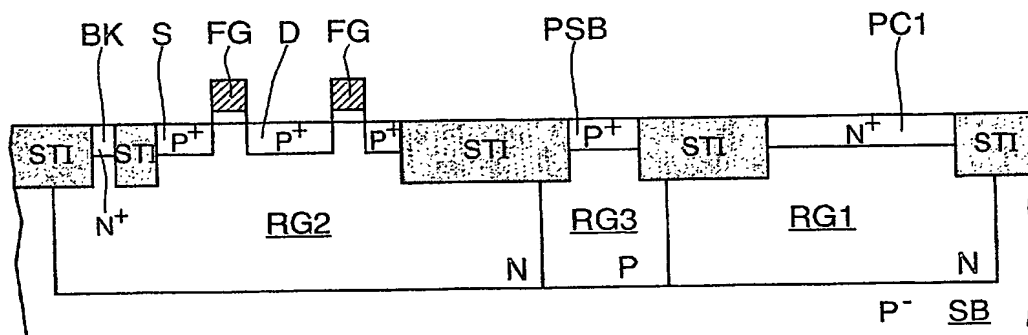
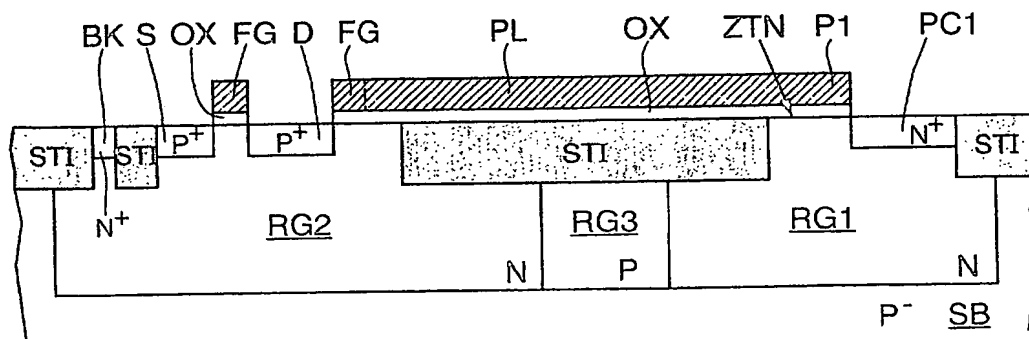


FIG. 2b



3/8

FIG.3

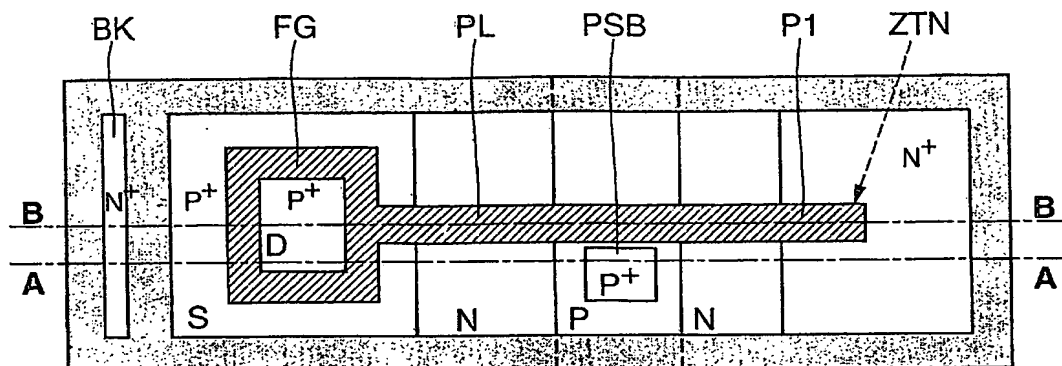


FIG.3a

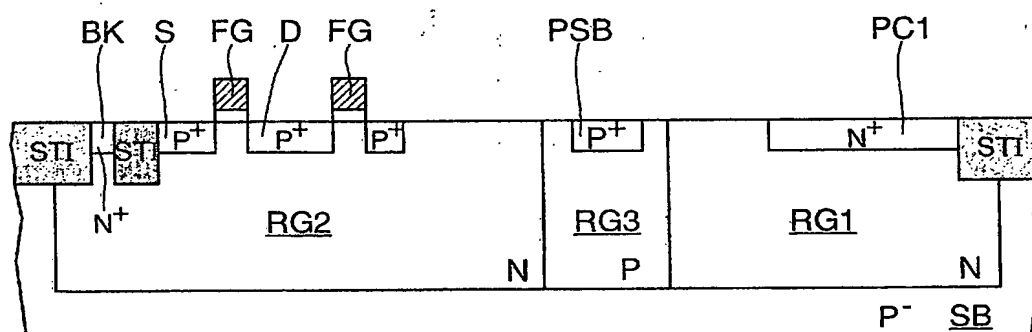
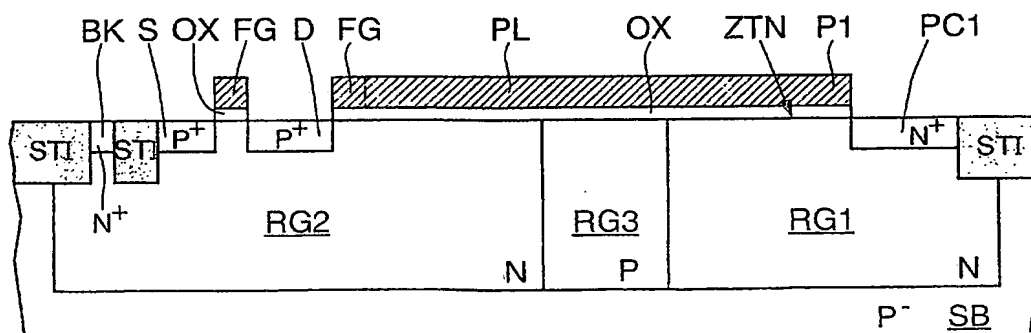


FIG.3b



4/8

**FIG.4**

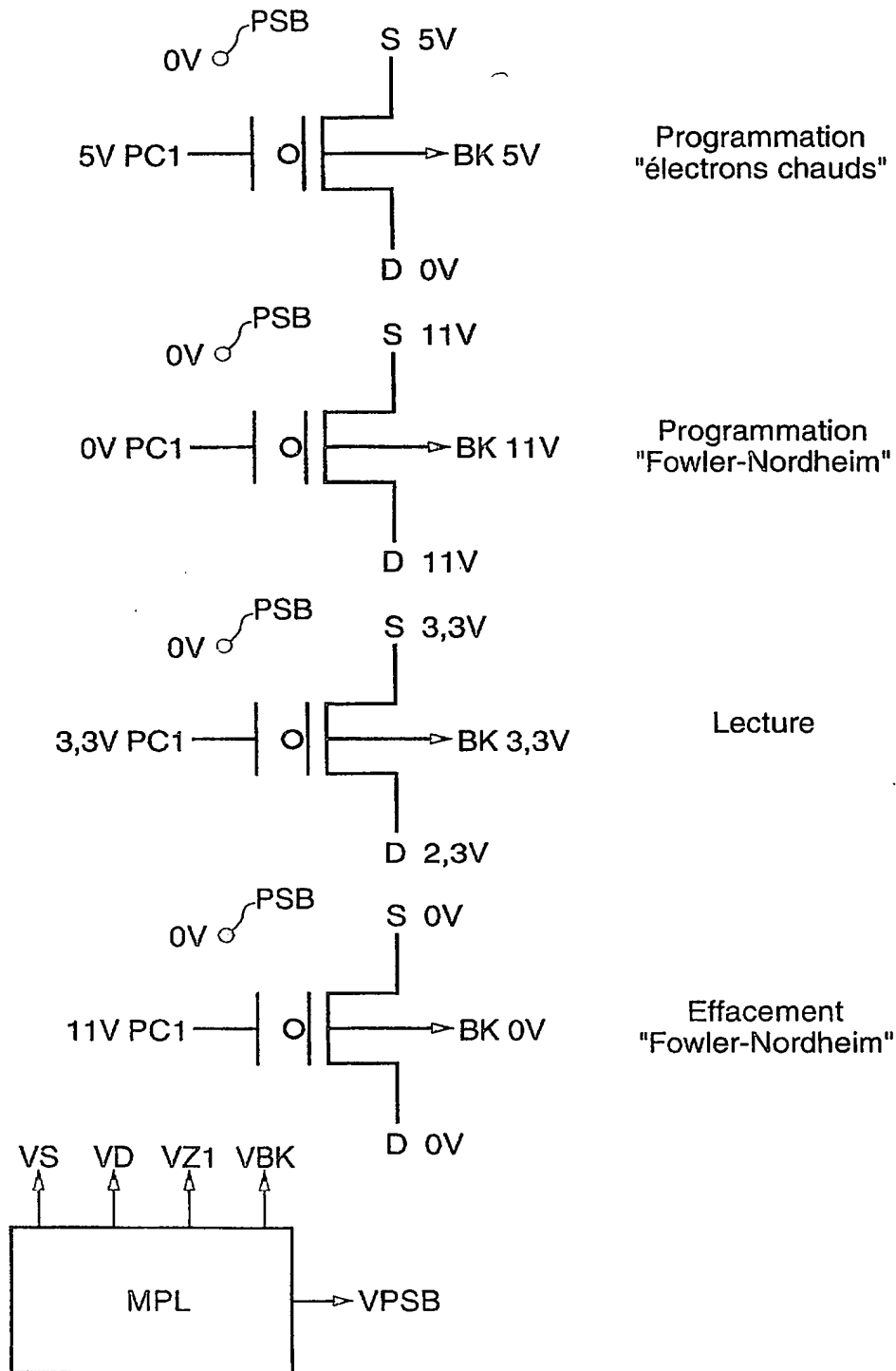


FIG. 5

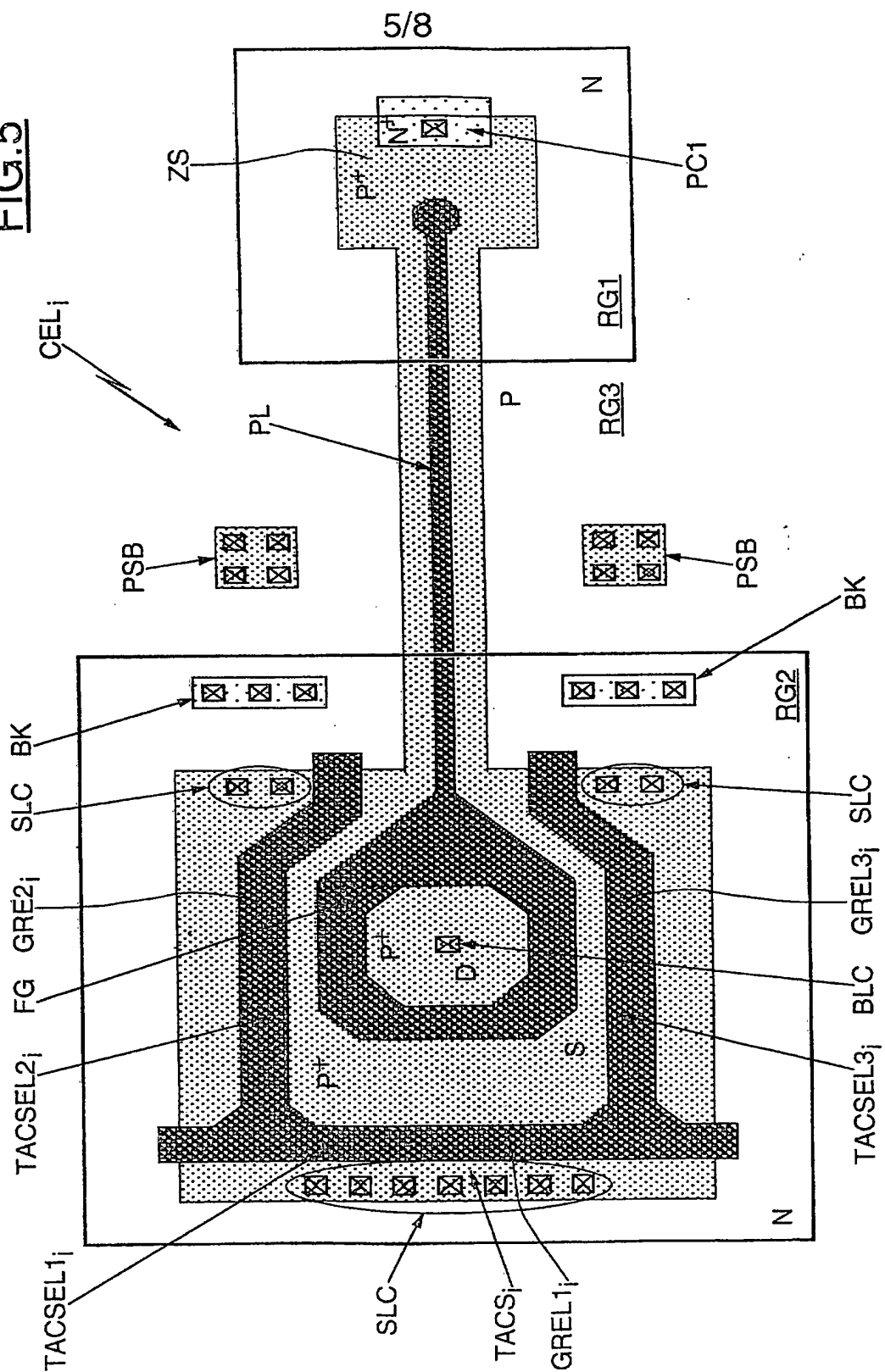
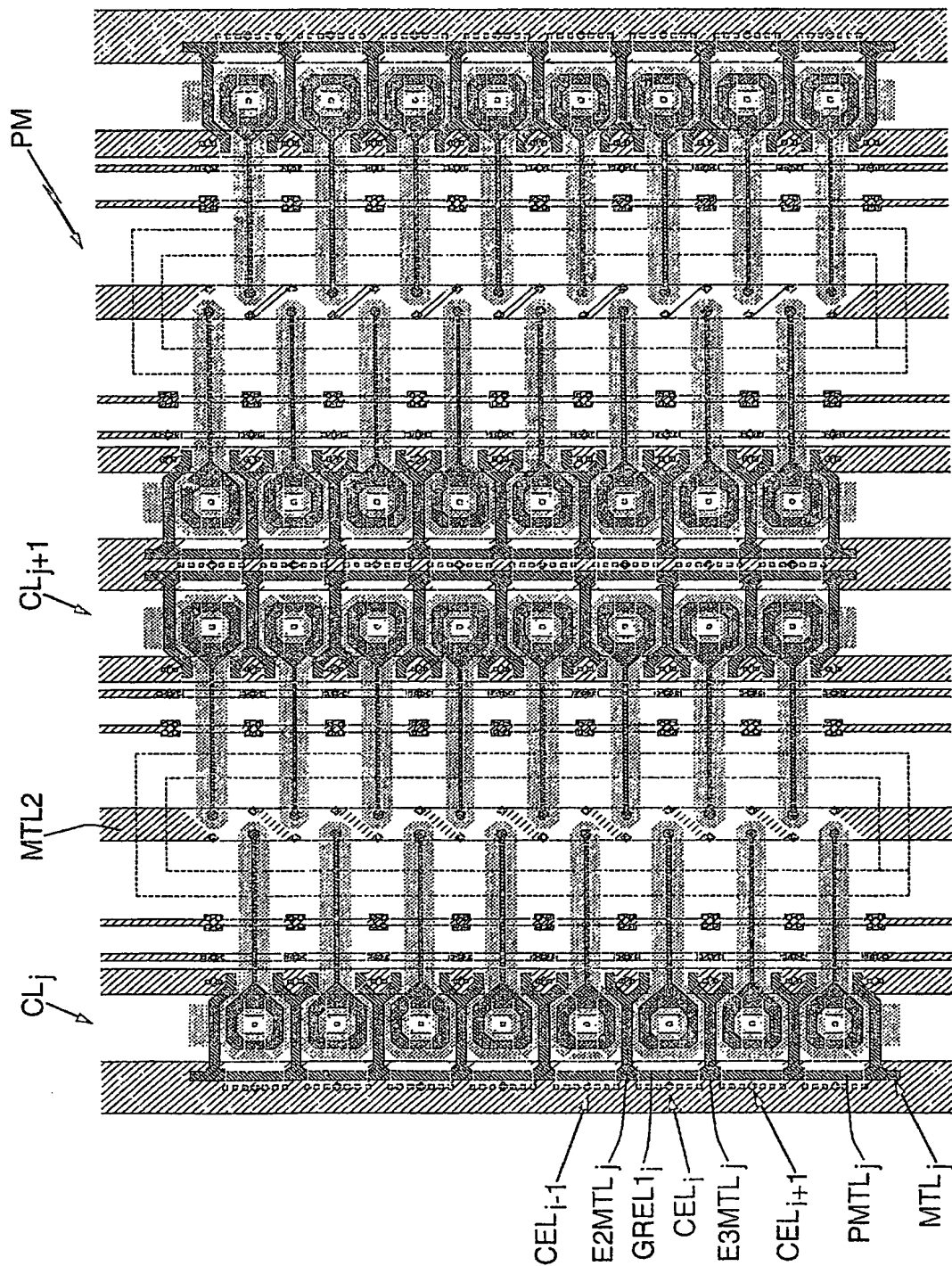


FIG. 6



7/8

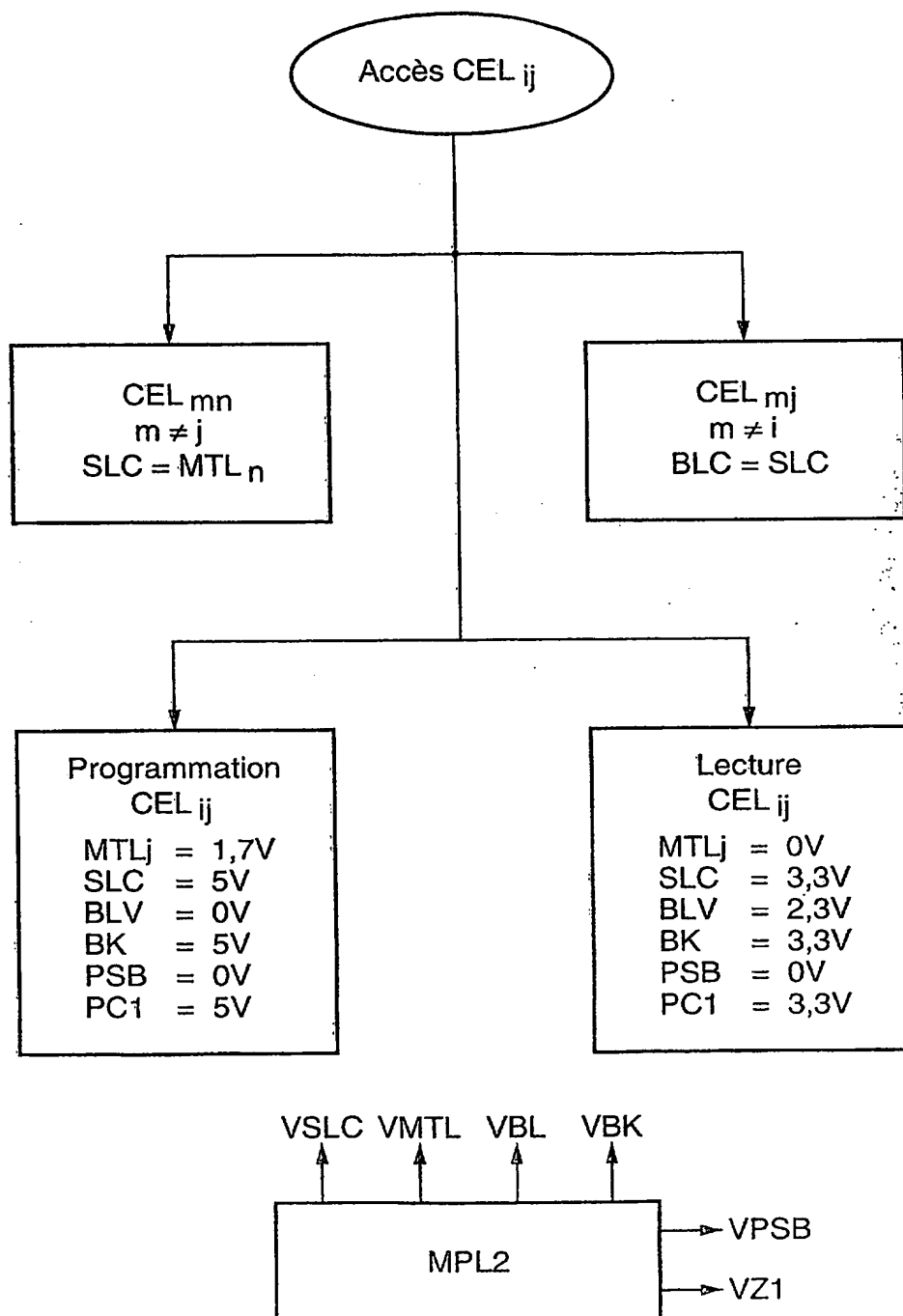
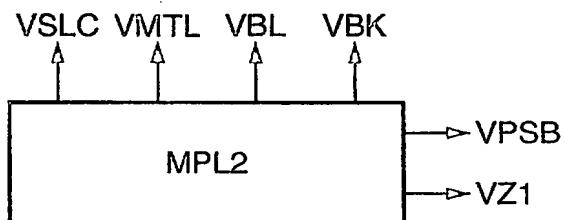
FIG.7

FIG.8

Effacement  
cellules colonne j et colonne j+1

PC1 = 11V  
SLC = 0V  
BLC = 0V  
PSB = 0V  
BK = 0V  
MTL = 0V



reçue le 20/08/02



DÉPARTEMENT DES BREVETS

26 bis, rue de Saint Pétersbourg

75800 Paris Cedex 08

Téléphone : 01 53 04 53 04 Télécopie : 01 42 94 86 54

# BREVET D'INVENTION

## CERTIFICAT D'UTILITÉ

Code de la propriété intellectuelle - Livre VI

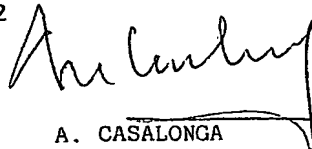


N° 11235°02

DÉSIGNATION D'INVENTEUR(S) Page N° 1. / .1.  
(Si le demandeur n'est pas l'inventeur ou l'unique inventeur)

Cet imprimé est à remplir lisiblement à l'encre noire

08 113 W / 260899

Vos références pour ce dossier (facultatif)		B 02/1763 FR/FZ	
N° D'ENREGISTREMENT NATIONAL		0209454	
TITRE DE L'INVENTION (200 caractères ou espaces maximum)			
Dispositif semiconducteur de mémoire, non volatile, programmable et effaçable électriquement, à une seule couche de matériau de grille, et plan mémoire correspondant.			
LE(S) DEMANDEUR(S) :			
Société Anonyme dite : STMicroelectronics SA			
DESIGNE(NT) EN TANT QU'INVENTEUR(S) : (Indiquez en haut à droite «Page N° 1/1» S'il y a plus de trois inventeurs, utilisez un formulaire identique et numérotez chaque page en indiquant le nombre total de pages).			
Nom		FOURNEL	
Prénoms		richard	
Adresse	Rue	171 Chemin des fontanettes	
	Code postal et ville	38660	LUMBIN
Société d'appartenance (facultatif)			
Nom		DRAY	
Prénoms		Cyrille	
Adresse	Rue	8 Place Condorcet	
	Code postal et ville	38320	EYBENS
Société d'appartenance (facultatif)			
Nom		GENDRIER	
Prénoms		Philippe	
Adresse	Rue	3 rue Aubert Dubayet	
	Code postal et ville	38000	GRENOBLE
Société d'appartenance (facultatif)			
DATE ET SIGNATURE(S) DU (DES) DEMANDEUR(S) OU DU MANDATAIRE (Nom et qualité du signataire)		Paris, le 25 Juillet 2002  A. CASALONGA (bm 92-1044i) Conseil en Propriété Industrielle	

La loi n°78-17 du 6 janvier 1978 relative à l'informatique, aux fichiers et aux libertés s'applique aux réponses faites à ce formulaire.  
Elle garantit un droit d'accès et de rectification pour les données vous concernant auprès de l'INPI.